



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Patent Application of: )  
KHOURI ET AL. )  
 )  
Serial No. 10/748,696 )  
 )  
Filing Date: DECEMBER 30, 2003 )  
 )  
For: NON-VOLATILE MEMORY DEVICE )  
INCLUDING A PREDETERMINED )  
NUMBER OF SECTORS )  
 )

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of the  
priority European Application No. 02425808.9

Respectfully submitted,

PAUL J. DITMYER  
Reg. No. 40,455  
Allen, Dyer, Doppelt, Milbrath  
& Gilchrist, P.A.  
255 S. Orange Avenue, Suite 1401  
Post Office Box 3791  
Orlando, Florida 32802  
Telephone: 407/841-2330  
Fax: 407/841-2343  
Attorney for Applicant

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being  
deposited with the United States Postal Service as first class  
mail in an envelope addressed to: COMMISSIONER FOR PATENTS,  
P.O. BOX 1450, ALEXANDRIA, VA 22313-1450, on this 22<sup>nd</sup> day of  
March, 2004.

0193  
MAR 25 2005  
BIRMINGHAM & TRUST CO. OF ALA.  
OFFICE



**Europäisches  
Patentamt**

**European  
Patent Office**

**Office européen  
des brevets**

**Bescheinigung**

**Certificate**

**Attestation**

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

**Patentanmeldung Nr.    Patent application No.    Demande de brevet n°**

02425808.9

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

**R C van Dijk**





Anmeldung Nr:  
Application no.: 02425808.9  
Demande no:

Anmeldetag:  
Date of filing: 30.12.02  
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.  
Via C. Olivetti, 2  
20041 Agrate Brianza (Milano)  
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:  
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.  
If no title is shown please refer to the description.  
Si aucun titre n'est indiqué se référer à la description.)

Non volatile memory device including a predetermined number of sectors

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)  
revendiquée(s)  
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/  
Classification internationale des brevets:

G11C/

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of  
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL PT SE SI SK



Titolo: Memoria non volatile del tipo comprendente un numero prefissato di settori.

## DESCRIZIONE

### Campo di applicazione

- 5 La presente invenzione fa riferimento ad una memoria non volatile del tipo comprendente un numero prefissato di settori.

### Arte nota

- 10 Com'è ben noto in questo specifico settore tecnico, le memorie non volatili, e in particolare le memorie flash programmabili e cancellabili elettricamente, comprendono matrici di celle, ciascuna delle quali è un'unità di memorizzazione delle informazioni. È altresì noto che, per assicurare un ottimale funzionamento delle memorie, è necessario che dette celle siano contigue le une alle altre, garantendo così uno spazio di indirizzamento continuo.

- 15 Esiste la possibilità che una cella, un insieme di celle, o intere strutture gerarchiche di celle (righe, colonne, settori della matrice) non operino correttamente, rendendo così inutilizzabile l'intera memoria.

- 20 Per superare questo problema è stato proposto l'impiego di risorse di ridondanza, cioè la realizzazione di memorie comprendenti celle o strutture di celle (righe, colonne, settori) in numero maggiore rispetto alla capacità nominale della memoria, cioè rispetto alle celle strettamente necessarie per garantire una prefissata capacità nominale della memoria.

- 25 In questo modo è possibile sostituire settori non funzionanti della matrice di memoria con le suddette risorse di ridondanza, consentendo il recupero di memorie altrimenti da considerarsi inutilizzabili.

Pur vantaggiosa sotto vari aspetti, e sostanzialmente rispondente allo scopo, questa prima soluzione tecnica presenta un grave inconveniente qui di seguito evidenziato.

L'introduzione delle risorse di ridondanza porta alla costruzione di memorie aventi un'area maggiore di quella strettamente necessaria, indistintamente dal fatto che le stesse sono difettose o funzionanti e ciò incide negativamente sui costi di produzione.

- 5 Il problema tecnico che sta alla base della presente invenzione è quello di escogitare una memoria non volatile avente caratteristiche strutturali e funzionali tali da consentire di superare gli inconvenienti citati con riferimento alla tecnica nota.

#### Sommario dell'invenzione

- 10 L'idea di soluzione che sta alla base della presente invenzione è quella di realizzare una memoria in grado di operare correttamente anche in presenza di celle difettose.

Sulla base di tale idea di soluzione il problema tecnico è risolto da una memoria del tipo precedentemente indicato, caratterizzata dal fatto di

- 15 comprendere un circuito addizionale per il remapping dei settori.

Detta memoria permette di risolvere il problema tecnico e di superare gli inconvenienti della tecnica nota così come sopra descritti. Grazie a tale memoria, infatti, è possibile rimappare i settori funzionanti in modo da offrire uno spazio di indirizzamento continuo.

- 20 Le caratteristiche ed i vantaggi del metodo secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un suo esempio di realizzazione dato a titolo indicativo e non limitativo facendo riferimento ai disegni allegati.

#### Breve descrizione dei disegni

- 25 - la figura 1 mostra una vista schematica di una memoria realizzata in accordo con la presente invenzione;
- la figura 2 mostra una vista schematica di una matrice di settori della memoria di figura 1.
- la figura 3 rappresenta la mappa logica degli indirizzi della matrice di



figura 2.

- la figura 4 mostra una vista schematica di una matrice di settori della memoria di figura 1.
- 5 - la figura 5 rappresenta la mappa logica degli indirizzi della matrice di figura 4.
- la figura 6 mostra uno schema di funzionamento di una memoria realizzata in accordo con la presente invenzione;
- la figura 7 mostra uno schema di funzionamento alternativo di una memoria realizzata in accordo con la presente invenzione;
- 10 - le figure 7A e 7B mostrano rispettivi viste schematiche di particolari della figura 7.

#### Descrizione dettagliata

Con riferimento a tali figure, ed in particolare all'esempio di figura 1, con 1 è globalmente e schematicamente indicato un dispositivo elettronico di memoria non volatile realizzata secondo l'invenzione.

Per dispositivo di memoria 1 si intende un qualunque sistema elettronico monolitico incorporante una matrice 5 di celle di memoria, organizzate in righe e colonne, e porzioni circuitali associate alla matrice di celle e preposte alle funzioni di indirizzamento, di decodifica, di lettura, scrittura e cancellazione del contenuto delle celle di memoria.

Un dispositivo di questo genere può essere ad esempio un chip di memoria integrato su semiconduttore e del tipo Flash EEPROM non volatile suddivisa in settori e cancellabile elettricamente.

Tra le porzioni circuitali associate alla matrice di celle è prevista la presenza di una porzione circuitale di decodifica di riga 13 associata a ciascun settore ed alimentata da specifiche tensioni positive e negative generate internamente al circuito integrato di memoria. E' prevista inoltre una decodifica di colonna 4 ed un decodificatore 12 di settore.

Un pre-decodificatore 15 di indirizzi è previsto in accordo con la presente invenzione a monte dei decodificatori 13, 4 e 12.

5 Nell'esempio di realizzazione qui descritto, la matrice 5 comprende sessantaquattro settori 6, disposti su otto righe e otto colonne, dei quali, a titolo esemplificativo e non limitativo, cinque settori 7, evidenziati in grigio nella figura 2, sono difettosi.

A detta matrice 5 di settori 6 corrisponde una mappa di indirizzi 8, rappresentata in figura 3, dove ogni locazione 9 contiene l'indirizzo del settore 6 corrispondente nella matrice 5.

10 In detta mappa di indirizzi 8, le locazioni 10, corrispondenti ai settori 7 difettosi, sono vuote.

Vantaggiosamente, il dispositivo 1 comprende inoltre un circuito 2 per il remapping dei settori, costituito da una unità CAM (Content Addressable Memory), associata e in comunicazione di dati con una  
15 unità 3 multiplexer.

Detta unità CAM 2 è dotata di un prefissato numero di elementi e può essere una memoria non volatile (UPROM) o una memoria volatile (RAM, LATCH) caricata all'accensione del dispositivo.

20 Secondo una forma di esecuzione preferita della presente invenzione, quando la unità CAM 2 rileva che un settore 7 è difettoso, fornisce l'indirizzo preprogrammato di un settore 6 di sostituzione e attiva il multiplexer 3 che esegue la sostituzione.

In questo modo i settori difettosi 7 e le corrispondenti locazioni 10 della  
25 mappa di indirizzi 8 sono vantaggiosamente posizionati in coda allo spazio di indirizzamento come mostrato nelle figure 4 e 5. L'area di indirizzamento è di conseguenza continua, consentendo così una facile memorizzazione delle informazioni.

Grazie al dispositivo di memoria 1 secondo la presente invenzione è  
30 possibile attuare un metodo per rendere operative memorie comprendenti settori difettosi.

Un tale metodo prevede le seguenti fasi:

- rilevazione di un settore difettoso 7 nella memoria 1
  - memorizzazione dell'indirizzo di tale settore difettoso 7,
  - fornitura dell'indirizzo preprogrammato di un settore di sostituzione
- 5 (settore 6 funzionante) e
- sostituzione di detto settore difettoso 7 con detto settore 6 funzionante.

In particolare le prime tre fasi di detto metodo sono eseguite dal circuito  
2 per il remappig dei settori (unità CAM), mentre detta fase di  
10 sostituzione di detto settore difettoso con un settore funzionante è  
portata a termine dalla unità multiplexer 3.

Secondo una forma di realizzazione preferita della presente invenzione  
(figura 6), la richiesta del contenuto di una cella di memoria viene fatta  
al dispositivo elettronico di memoria non volatile 1 fornendo a detto  
15 dispositivo 1 le informazioni riguardanti l'indirizzo della cella desiderata  
nel formato riga + colonna + settore (indicati con r, c, s nella figura 6).

Le informazioni riguardanti riga e colonna sono inviate a rispettive  
porzioni circuitali 4, indicate nella figura 6 come 'Row Dec' e come  
'Colon Dec', che decodificano l'informazione e forniscono i  
20 corrispondenti numeri di riga e di colonna, indicati in figura 6 con NR e  
NC.

L'informazione riguardante il settore, invece, è inviata sia alla memoria  
CAM 2, sia al multiplexer 3.

La memoria CAM 2 contiene, come sopra accennato, gli indirizzi di  
25 sostituzione dei settori difettosi. Quindi, se l'indirizzo richiesto  
corrisponde all'indirizzo di un settore funzionante, la memoria CAM 2  
non fornisce informazioni al multiplexer e quest'ultimo fornisce alla  
porzione circuitale 4 denominata 'Sector DEC' l'indirizzo di settore  
originariamente richiesto.

30 Se invece l'indirizzo richiesto corrisponde all'indirizzo di un settore  
difettoso, la memoria CAM 2 fornisce al multiplexer l'indirizzo

preprogrammato di un corrispondente settore funzionante e attiva il multiplexer per eseguire la sostituzione dell'indirizzo da inviare alla porzione circuitale 4 denominata 'Sector DEC'.

5 La porzione circuitale 4 denominata 'Sector DEC' decodifica l'indirizzo che riceve in input e fornisce il numero di settore, indicato in figura 6 con NS.

10 Da prove sperimentali effettuate presso la richiedente è stato possibile verificare che la memoria secondo l'invenzione è particolarmente competitiva sotto il profilo economico rispetto a tutte le altre soluzioni tecniche attualmente utilizzate nel settore.

In particolare, un dispositivo del tipo descritto consente l'impiego e la commercializzazione di memorie comprendenti un numero di settori difettosi inferiore ad un limite prefissato, consentendo un miglioramento della resa di produzione.

15 Il trovato così concepito è suscettibile di ulteriori varianti e modifiche tutte alla portata del tecnico del ramo e, come tali, rientranti nell'ambito di protezione del trovato stesso, così come definito dalle seguenti rivendicazioni.

20 Secondo una variante di realizzazione della presente invenzione, detta matrice 5 comprende un numero di settori maggiore della capacità nominale della memoria stessa.

In questo modo è vantaggiosamente ottenuto un incremento del quantitativo di memoria disponibile per la memorizzazione di dati e per l'esecuzione di programmi.

25 E' possibile anche attuare una variante del metodo sopra descritto, comprendente le fasi di rilevazione di un settore difettoso in una memoria, memorizzazione dell'informazione di settore già codificata e di fornitura di detta informazione (figura 7).

30 Secondo questa variante, la richiesta del contenuto di una cella di memoria viene fatta al dispositivo elettronico di memoria non volatile 1

attraverso il blocco 15 di pre-decodifica che fornisce alla matrice 5 le informazioni riguardanti l'indirizzo della cella desiderata nel formato riga + colonna + settore.

5 Le informazioni riguardanti riga e colonna sono inviate a rispettive porzioni circuitali 13 e 4.

L'informazione riguardante il settore, invece, è inviata sia alla memoria CAM 2, sia alla porzione circuitale 12.

10 Nel dispositivo 2 di figura 7 sono indicati elementi di memoria 16 denominati TABS (Table Address Bad Sectors) che riportano le informazioni dei settori danneggiati.

Altri elementi di memoria 17, denominati TARS (table Address Remapping Sectors) memorizzano invece gli indirizzi dei settori da utilizzare al posto di quelli danneggiati.

15 La porta logica OR consente di ottenere il numero M di settori da rimappare mentre gli indirizzi relativi So sono presentati all'uscita del dispositivo 2.

20 Nelle figure 7A e 7B sono riportati in scala ingrandita e schematicamente gli elementi di memoria 16 e 17 che possono essere realizzati ad esempio con l'abbinamento di una cella non volatile con una cella volatile.

Ciò consente vantaggiosamente di ridurre il tempo di lettura dei dati contenuti nella matrice 5 di celle di memoria.

25 Il trovato così concepito è suscettibile di ulteriori varianti e modifiche tutte alla portata del tecnico del ramo e, come tali, rientranti nell'ambito di protezione del trovato stesso, così come definito dalle seguenti rivendicazioni.

## RIVENDICAZIONI

1. Dispositivo elettronico (1) di memoria non volatile del tipo comprendente una matrice di celle di memoria (5) suddivisa in numero prefissato di settori (6), caratterizzata dal fatto di comprendere un  
5 circuito (2) per il remapping dei settori che presentano celle difettose comprendente elementi di memoria (16) contenenti l'indirizzo di settori danneggiati e corrispondenti elementi di memoria (17) contenenti l'indirizzo di settori di sostituzione.
2. Dispositivo elettronico (1) di memoria non volatile secondo la  
10 rivendicazione 1, caratterizzata dal fatto che detto circuito (2) per il remapping dei settori comprende una unità CAM (2).
3. Dispositivo elettronico (1) di memoria non volatile secondo la rivendicazione 2, caratterizzata dal fatto che detta unità CAM (2) è a monte e in comunicazione di dati con una unità multiplexer (3).
- 15 4. Dispositivo elettronico (1) di memoria non volatile secondo la rivendicazione 3, caratterizzata dal fatto che detta una unità multiplexer (3) è associata e in comunicazione di dati con una matrice 5 di celle di memoria.
5. Dispositivo elettronico (1) di memoria non volatile secondo la  
20 rivendicazione 4, caratterizzata dal fatto che detta unità CAM (2) è una memoria non volatile (UPROM).
6. Dispositivo elettronico (1) di memoria non volatile secondo la rivendicazione 4, caratterizzata dal fatto che detta unità CAM (2) è una memoria volatile (RAM, LATCH) caricata all'accensione del dispositivo.
- 25 7. Dispositivo elettronico (1) di memoria non volatile secondo la rivendicazione 4, caratterizzata dal fatto di comprendere un numero di settori maggiore rispetto alla capacità nominale di detto dispositivo 1.
8. Metodo per rendere operative dispositivi elettronici (1) di memoria non volatile comprendenti settori difettosi comprendente le fasi di

rilevare un settore difettoso (7) del dispositivo (1), memorizzare l'indirizzo di tale settore difettoso (7), di fornire l'indirizzo preprogrammato di un settore di sostituzione per sostituire detto settore difettoso (7) con un settore funzionante (6) tra quelli disponibili nella  
5 matrice.

9. Metodo secondo la rivendicazione 8 caratterizzato dal fatto che detta fase di rilevazione di un settore difettoso (7) viene eseguita da un circuito per il remappig dei settori.

10. Metodo secondo la rivendicazione 9 caratterizzato dal fatto che detto circuito per il remapping dei settori è una unità CAM (2).

11. Metodo secondo la rivendicazione 10 caratterizzato dal fatto che detta fase di sostituzione di detto settore difettoso (7) con un settore funzionante (6) è portata a termine da una unità multiplexer (3).

12. Metodo per rendere operative memorie comprendenti settori  
15 difettosi comprendente le fasi di rilevazione di un settore difettoso (7) in un dispositivo (1), memorizzazione dell'informazione di settore già codificata e di fornitura di detta informazione.

## RIASSUNTO

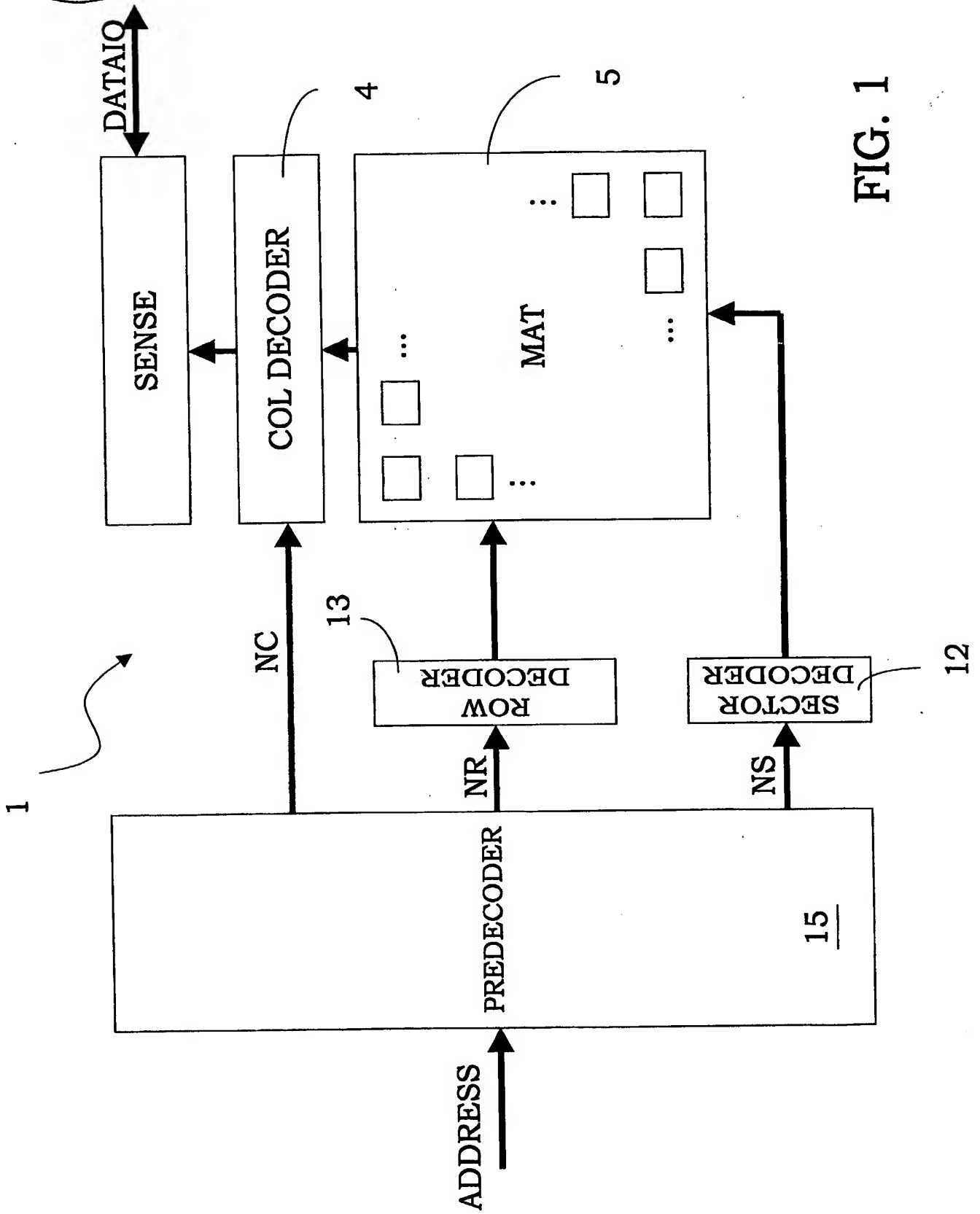
Memoria non volatile del tipo comprendente un numero prefissato di settori in grado di garantire il funzionamento della stessa anche in presenza di un numero di settori difettosi inferiore ad un limite prefissato.

(Fig. 1)





1/5



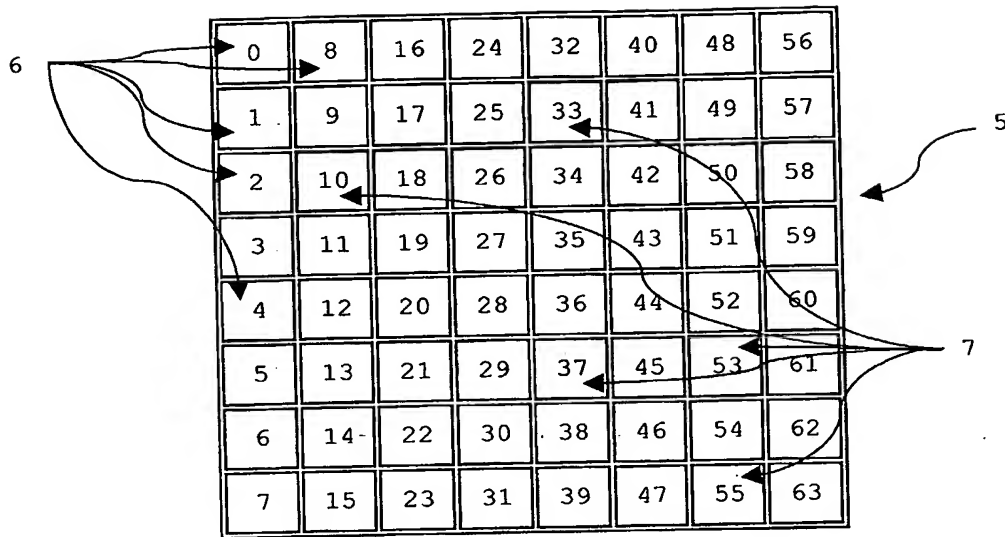


FIG. 2

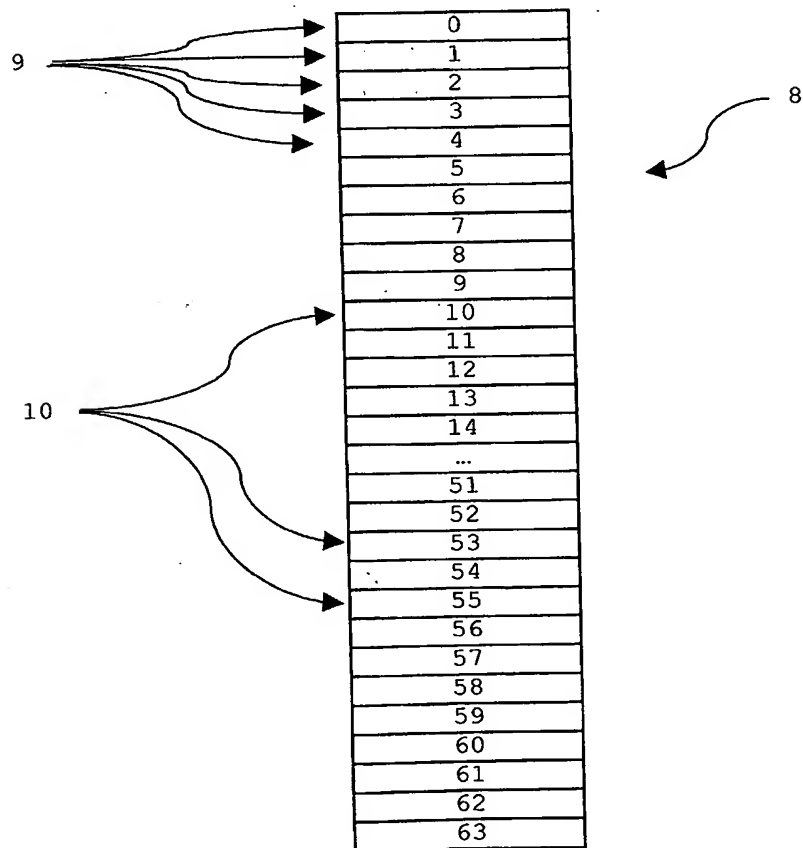


FIG. 3

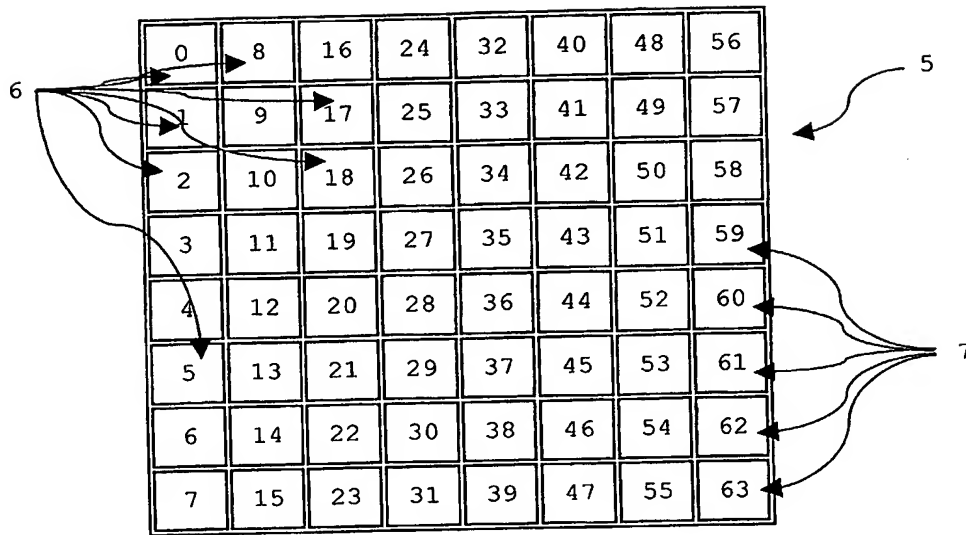


FIG. 4

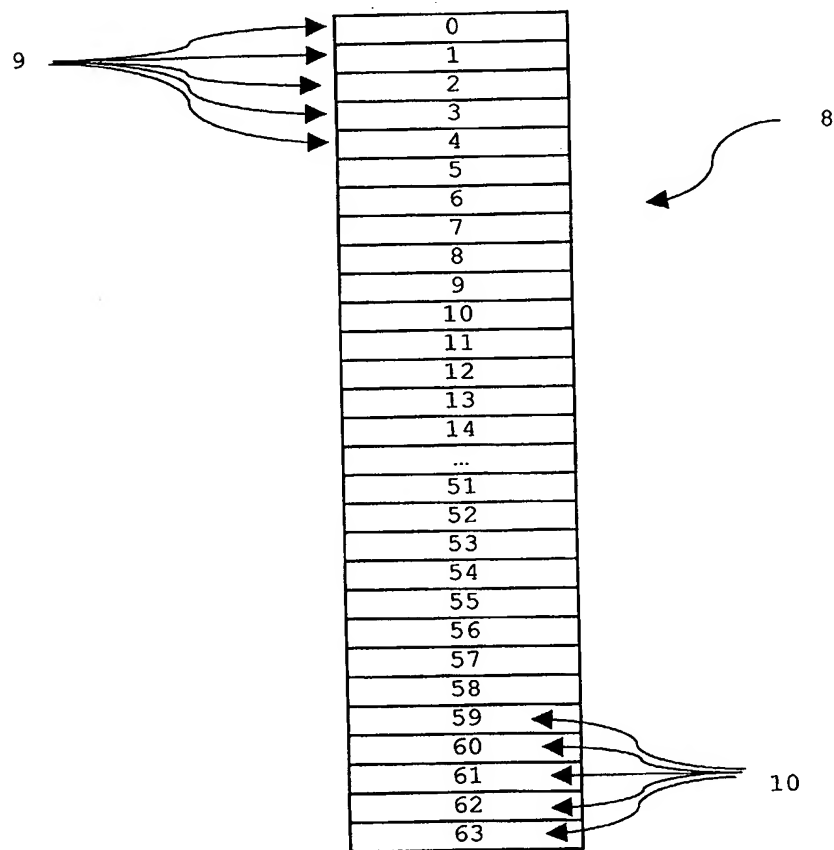


FIG. 5

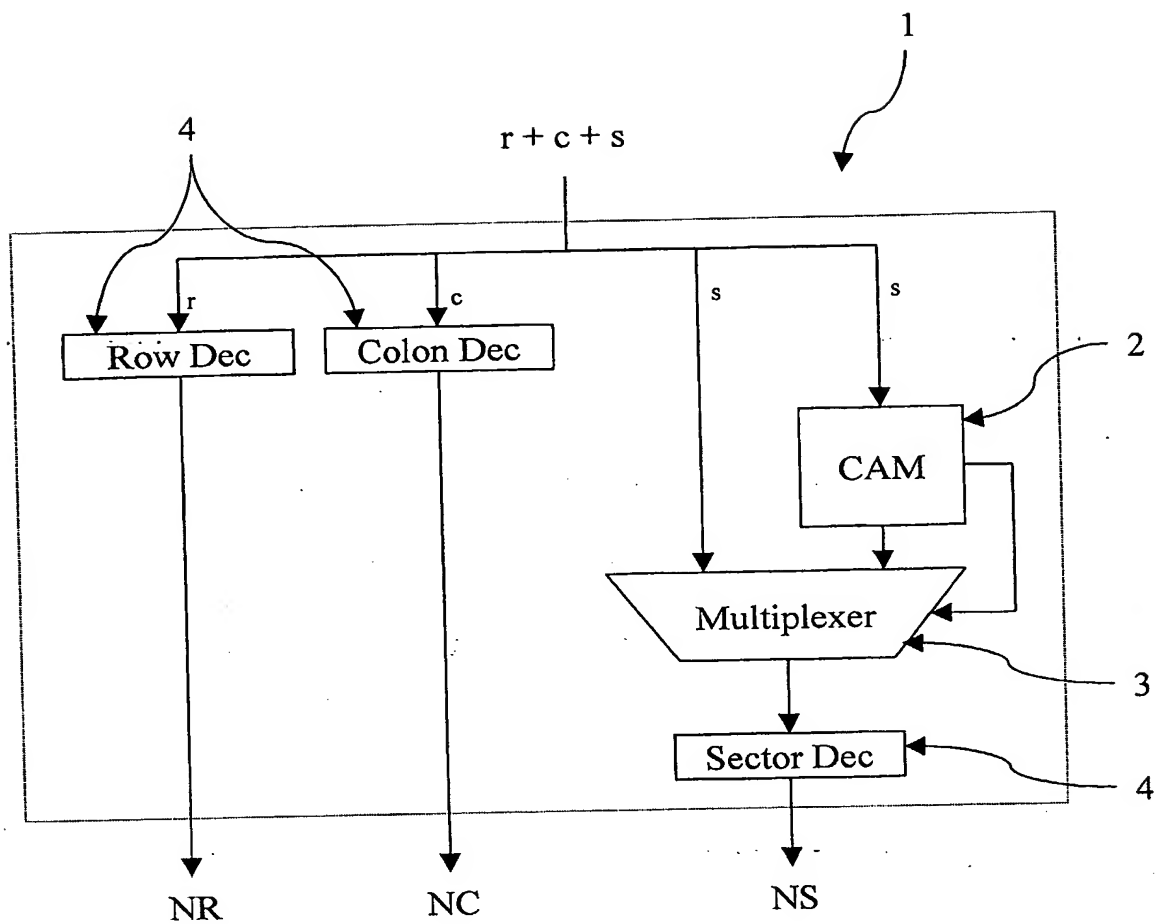


FIG. 6

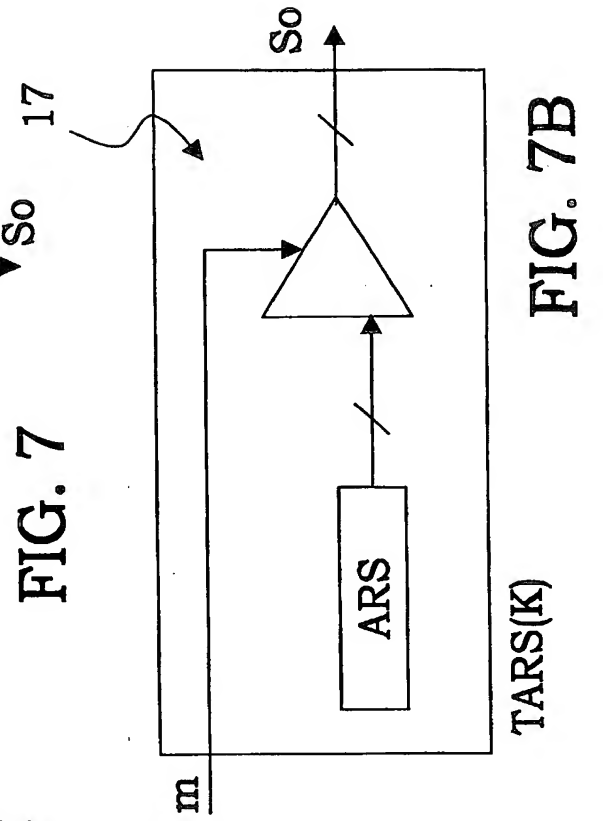
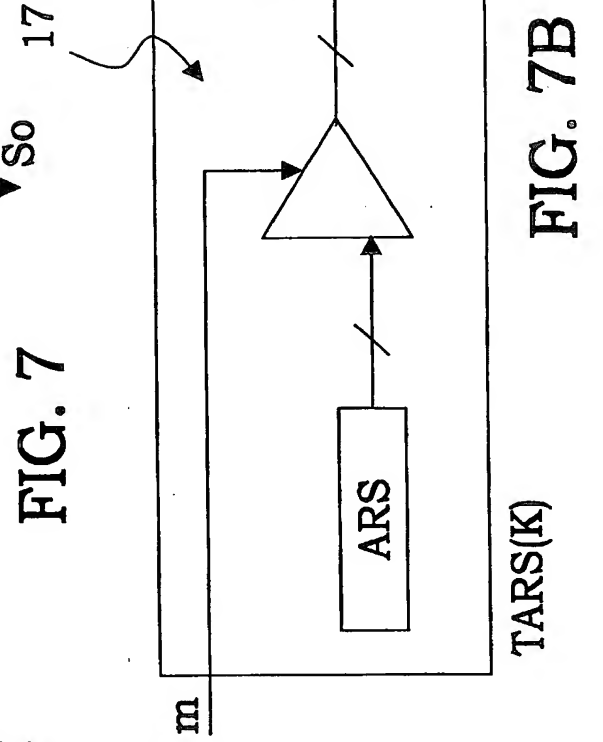
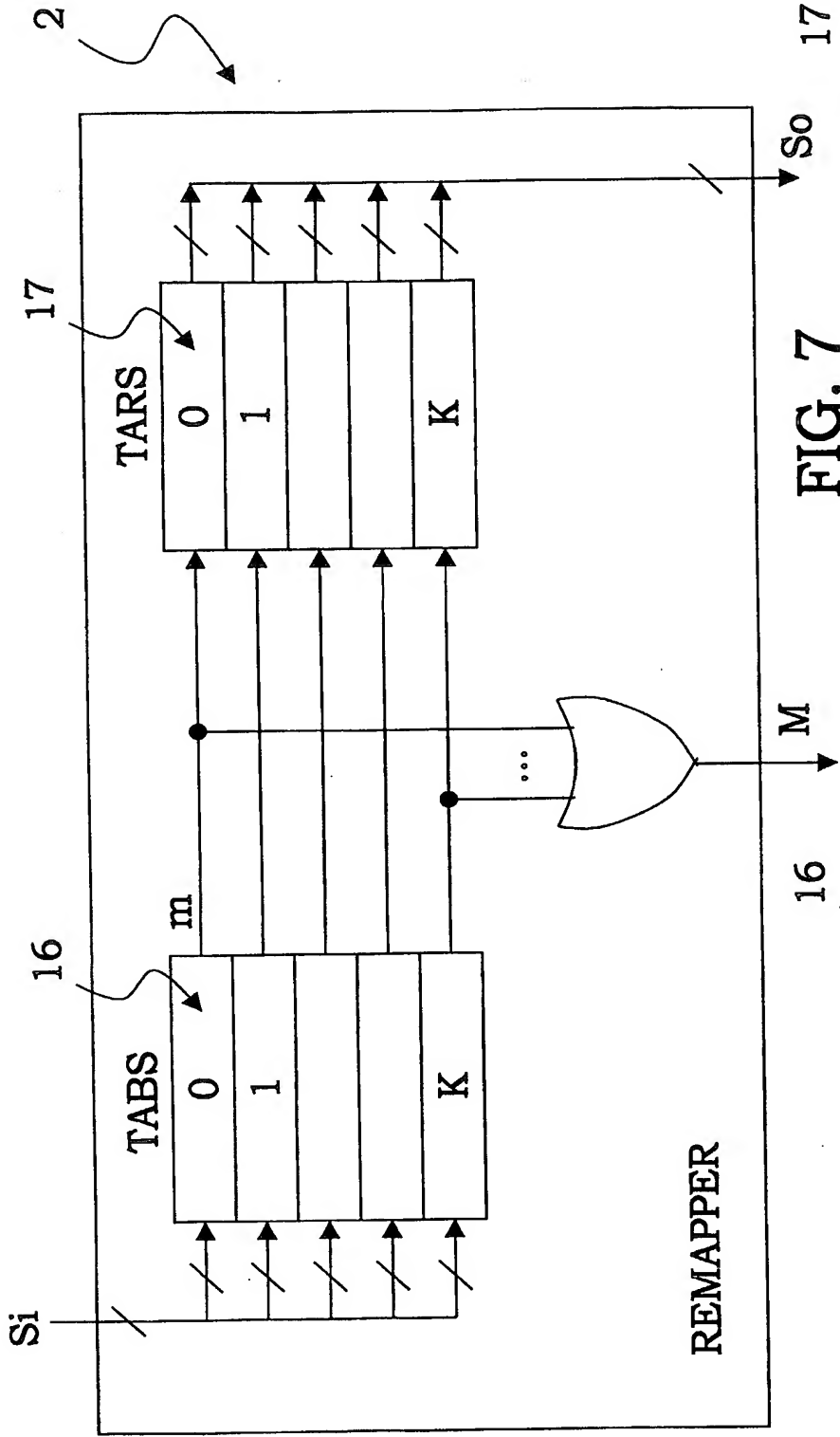


FIG. 7A

FIG. 7B

